



(19)

(11) Publication number:

06139422 A

Generated Document.

PATENT ABSTRACTS OF JAPAN

(21) Application number: 04288889

(51) Int. Cl.: G06K 19/073 G06F 12/14 G11C 5/00

(22) Application date: 27.10.92

(30) Priority:

(43) Date of application
publication: 20.05.94(84) Designated contracting
states:

(71) Applicant: FUJI PHOTO FILM CO LTD

(72) Inventor: GOHARA KOICHI

(74) Representative:

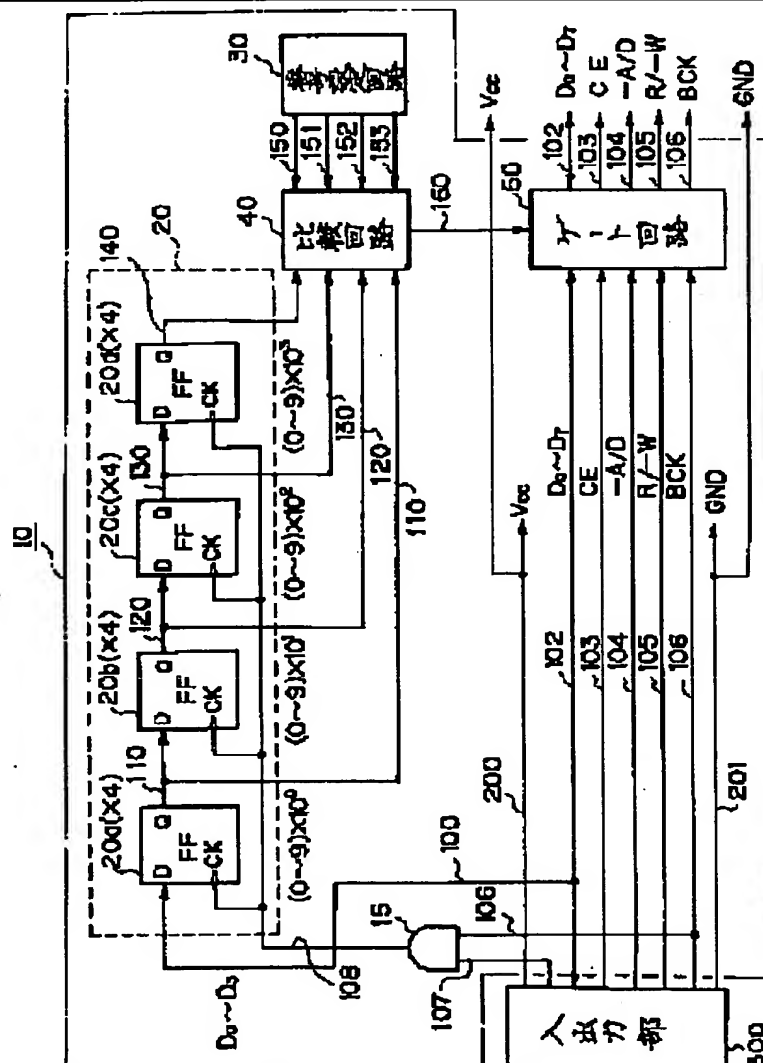
(54) PROTECTOR FOR IC
MEMORY CARD

(57) Abstract:

PURPOSE: To provide a memory protector for an IC memory card which is stored in a semiconductor memory part of the memory card and can keep the secrecy of data.

CONSTITUTION: A memory protector 10 successively fetches the password numbers sent from a host device into a shift register 20. These password numbers are collated with the data on a number setting circuit 30 where the proper number of the IC memory card is set by a comparator 40. When no coincidence is secured between the password number and the data on the circuit 30, the comparator 40 sets a state signal showing the noncoincidence of collation on a control signal line 160 connected to a gate circuit 50. At the same time, the circuit 50 logically opens the control line which connects an input/output part 300 to an internal circuit of the IC memory card. Therefore the host device is unable to have any access to the data stored in the card. When the coincidence of collation is secured, the host device can have a normal access to the data on the card.

COPYRIGHT: (C)1994,JPO&Japio



(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-139422

(43)公開日 平成6年(1994)5月20日

(51)Int.Cl.⁵

識別記号

庁内整理番号

FI

技術表示箇所

G 0 6 K 19/073

G 0 6 F 12/14

G 1 1 C 5/00

3 2 0 C 9293-5B

3 0 1 B 6741-5L

8623-5L

G 0 6 K 19/ 00

P

審査請求 未請求 請求項の数3(全 7 頁)

(21)出願番号

特願平4-288889

(22)出願日

平成4年(1992)10月27日

(71)出願人 000005201

富士写真フイルム株式会社

神奈川県南足柄市中沼210番地

(72)発明者 郷原 幸一

埼玉県朝霞市泉水三丁目11番46号 富士写

真フイルム株式会社内

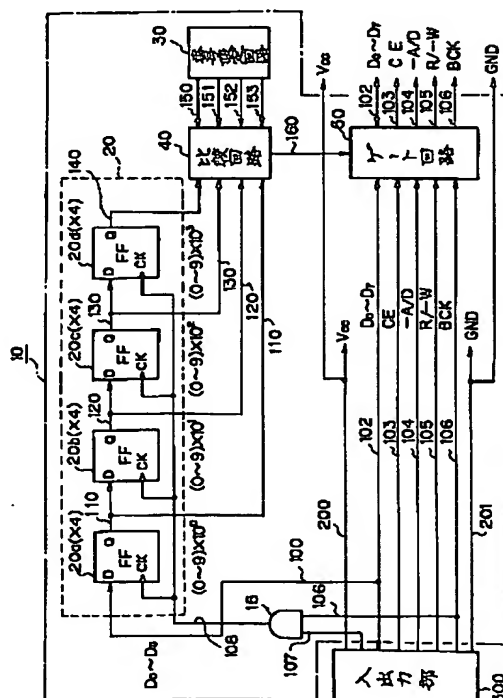
(74)代理人 弁理士 香取 孝雄

(54)【発明の名称】 ICメモ리카ードのメモリプロテクタ

(57)【要約】

【目的】ICメモ리카ードの半導体メモリ部に格納されたデータの機密保持を図ることのできるICメモ리카ードのメモリプロテクタの提供。

【構成】メモリプロテクタ10は、ホスト装置側から送られてくる暗証番号を順次シフトレジスタ20に取り込む。暗証番号は、ICメモ리카ード固有の番号を設定してある番号設定回路30のデータと比較回路40で照合される。番号設定回路30のデータと異なる暗証番号の場合、比較回路40はゲート回路50に接続されている制御信号線160に照合不一致の状態信号をセットする。このとき、ゲート回路50は、入出力部300とICメモ리카ードの内部回路とを結ぶ制御線を論理的に開放状態にする。このため、ホスト装置側は、ICメモ리카ードの格納データにアクセスできない。照合一致の場合は、正常にアクセスできる。



【特許請求の範囲】

【請求項1】 ホスト装置に着脱自在な入出力部を持つICメモリカードの半導体メモリ部に蓄積されたデータの盗用および改変を防止するICメモリカードのメモリプロテクタにおいて、該メモリプロテクタは、

ホスト装置側で設定操作した1桁以上、且つ0以上の数値で構成される暗証番号を順次ICメモリカードに読み込む読み込み手段と、
該読み込み手段で読み込まれた前記暗証番号とあらかじめICメモリカード内に設定してある固有の暗証番号との照合を取る比較手段と、
照合不一致のときは前記比較手段から出力される不一致信号に基づき、本来前記入出力部を介してホスト装置と接続されデータの授受を司る信号を論理的に開放するゲート手段とを備えたことを特徴とするICメモリカードのメモリプロテクタ。

【請求項2】 ホスト装置に着脱自在な入出力部を持つICメモリカードの半導体メモリ部に蓄積されたデータの盗用および改変を防止するICメモリカードのメモリプロテクタにおいて、該メモリプロテクタは、
ICメモリカードに設けられた鍵挿入用の穿孔部と、
該穿孔部内に複数配置された接触子と、
該複数接触子のなかの特定の2箇所の接触子に接続された制御信号線と、
該特定の2箇所の接触子以外の接触子に接続された禁止信号線と、
前記特定の2箇所に設けられた接触子が他の接触子とも導通のときは、本来前記入出力部を介してホスト装置と接続されデータの授受を司る信号を論理的に開放するゲート回路とを備えたことを特徴とするICメモリカードのメモリプロテクタ。

【請求項3】 請求項2に記載されたICメモリカードの穿孔部に挿入可能な鍵は、絶縁体で形成され、該絶縁体の表面の2箇所に配設され互いに電気的に導通な接触面を有し、前記穿孔部に前記絶縁体を挿入状態において、前記2箇所の接触子は前記2箇所の接触面と接触したときにのみ導通状態となることを特徴とするICメモリカード用の鍵。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、ICメモリカードの半導体メモリに格納された情報の盗用・改変を防止するための、ICメモリカードのメモリプロテクタに関するものである。

【0002】

【従来の技術】 従来、ICメモリカードは、ホスト装置側と着脱自在に接続され、ホスト装置側で操作することにより、ICメモリカード内のメモリ内容を自由に読み出し、あるいは書き換えることが可能であった。また、暗証番号による照合においても、ホスト装置側で照合機能

を持つ場合が殆どであり、ICメモリカード自体が暗証番号による照合等によるメモリプロテクト機能を持つことはなかった。

【0003】

【発明が解決しようとする課題】 したがって、ホスト装置側で暗証番号による照合機能を持たないシステムの場合には、オペレータは、ホスト装置側から操作を行うことにより自由にICメモリカード内のメモリ内容をリード・ライトできた。そのため第三者も容易にICメモリカード内のメモリ内に貯えられたデータのリード・ライトが行えるため機密保持が図れないという未解決の課題がある。

【0004】 また、ホスト装置側で暗証番号の照合を行う場合においては、ホスト装置側は、個々のICメモリカード固有の暗証番号のデータベースを持つことになり、ホスト装置側の装置の規模が膨大になるという未解決の課題がある。

【0005】 本発明はこのような従来技術の欠点を解消し、ICメモリカードの半導体メモリ部に格納されたデータの機密保持を図ることのできるICメモリカードのメモリプロテクタを提供することを目的とする。

【0006】

【課題を解決するための手段】 上述の課題を解決するために、本発明によるICメモリカードのメモリプロテクタは、ホスト装置に着脱自在な入出力部を持つICメモリカードの半導体メモリ部に蓄積されたデータの盗用および改変を防止するICメモリカードのメモリプロテクタにおいて、このメモリプロテクタは、ホスト装置側で設定操作した1桁以上、且つ0以上の数値で構成される暗証番号を順次ICメモリカードに読み込む読み込み手段と、この読み込み手段で読み込まれた暗証番号とあらかじめICメモリカード内に設定してある固有の暗証番号との照合を取る比較手段と、照合不一致のときは比較手段から出力される不一致信号に基づき、本来入出力部を介してホスト装置と接続されデータの授受を司る信号を論理的に開放するゲート手段とを備えたことを特徴としている。

【0007】 また、本発明によるICメモリカードのメモリプロテクタは、ホスト装置に着脱自在な入出力部を持つICメモリカードの半導体メモリ部に蓄積されたデータの盗用および改変を防止するICメモリカードのメモリプロテクタにおいて、このメモリプロテクタは、ICメモリカードに設けられた鍵挿入用の穿孔部と、この穿孔部内に複数配置された接触子と、この複数接触子のなかの特定の2箇所の接触子に接続された制御信号線と、この特定の2箇所の接触子以外の接触子に接続された禁止信号線と、特定の2箇所に設けられた接触子が他の接触子とも導通のときは、本来前記入出力部を介してホスト装置と接続されデータの授受を司る信号を論理的に開放するゲート回路とを備えたことを特徴としている。

【0008】 さらに、本発明によるICメモリカードのメ

モリプロテクタは、ICメモリカードの上記穿孔部に挿入可能な鍵であって、この鍵は、絶縁体で形成され、この絶縁体の表面の2箇所配設され互いに電気的に導通な接触面を有し、穿孔部に鍵を挿入状態において、上記2箇所の接触子は上記2箇所の接触面と接触したときのみ導通状態となることを特徴としている。

【0009】

【作用】本発明によれば、暗証番号読み手段は、ホスト装置側で設定操作した1桁以上、且つ0以上の数値で構成される暗証番号を順次ICメモリカードに読み込む。比較手段は、この読み込み手段で読み込まれた暗証番号とあらかじめICメモリカード内に設定してある固有の暗証番号との照合を取る。ゲート手段は、照合不一致のときは比較手段から出力される不一致信号に基づき、本来入出力部を介してホスト装置と接続されデータの授受を司る信号を論理的に開放する。したがって、設定操作した暗証番号とICメモリカード固有の暗証番号との照合が一致すれば、ICメモリカードの半導体メモリ部とホスト装置とは、論理的に接続され、データ授受が可能となる。

【0010】また、本発明によれば、ICメモリカードには、鍵挿入用の穿孔部が設けられ、この穿孔部内に複数配置された接触子のなかの特定の2箇所の接触子には制御信号線が接続され、他の接触子には禁止信号線が接続されている。ゲート回路は、特定の2箇所に設けられた接触子が他の接触子とも導通のときは、本来前記入出力部を介してホスト装置と接続されデータの授受を司る信号を論理的に開放する。さらに、ICメモリカードの上記穿孔部に挿入可能な鍵が、絶縁体で形成され、この絶縁体の表面の2箇所配設され互いに電気的に導通な接触面を有し、穿孔部に鍵を挿入状態において、上記2箇所の接触子は上記2箇所の接触面と接触したときのみ導通状態となる。したがって、ICメモリカードの穿孔部に上記鍵と別異の鍵を挿入した場合、特定の2箇所の接触子は非導通状態となり、上記ゲート回路は論理的に開放されることになる。そのため、ICメモリカードの半導体メモリ部とホスト装置とは、データ授受ができなくなる。

【0011】

【実施例】次に添付図面を参照して本発明によるICメモリカードのモリプロテクタの実施例を詳細に説明する。なお、図中、同一符号は同一あるいは相当部分を表す。図1は、本発明の第一実施例を表す概略構成ブロック図である。図2は、同実施例におけるタイミングチャートである。

【0012】図1を参照すると、モリプロテクタ10は、たとえば入出力部300からのデータ信号100(D₀～D₃)を入力信号として接続する10進4桁のシフトレジスタ20と、ICメモリカード独自の暗証番号を設定する番号設定回路30と、シフトレジスタ20の個々のレジスタ(20a～20d)の出力(110,120,130,140)を一方の入力とし、

番号設定回路30からの10進4桁の設定出力(150,151,152,153)を他方の入力とする比較回路40と、比較回路40の照合結果を示す制御信号160をゲート信号としICメモリカードの内部回路とホスト装置のインタフェースである入出力部300を論理的に接続するゲート回路50と、シフトレジスタ20に対するクロック信号108を発生するANDゲート15とによって構成されている。

【0013】ANDゲート15は、ホスト装置側から入出力部300を介して入力されるBCE信号(バスクロックイネーブル信号)107とBCK信号(バスクロック信号)106との論理積をとり、ともに“H”レベルのときに、“H”レベルのCK信号(クロック信号)108を出力する回路である。図2は、この関係を示すタイムチャートである。

【0014】10進4桁のシフトレジスタ20は、本実施例の場合、D₀～D₃で表されるデータバス102の下位4ビットのデータ(D₀～D₃)100を入力データとする4個並列のフリップフロップが4段縦続接続され、クロック信号108によって順次データがシフトする回路である。このシフトレジスタ20を構成するフリップフロップ(以下、FFと称する)20aの出力110、FF20bの出力120、FF20cの出力130およびFF20dの出力140は、比較回路40の入力に接続される。

【0015】番号設定回路30は、たとえば、ROM、不揮発性のRAM、スイッチ、ジャンパ線などを用いて10進4桁の数値を構成する回路である。本実施例の構成図では説明を理解しやすくするためスイッチあるいはジャンパ線で設定するようにしてある。したがって、データバスおよびコントロール信号は、記載されていない。番号設定回路30の10進4桁の数値は、比較回路40の入力に接続される。

【0016】比較回路40は、シフトレジスタ20の出力(110,120,130,140)と番号設定回路30の出力(153,152,151,150)の照合をとる回路である。照合が、一致している間、比較回路40は、照合一致信号160をゲート回路50のコントロール入力に接続する。

【0017】ゲート回路50は、入出力部300とICメモリカードの内部回路との間に配置され、情報の授受を行う信号線を論理的に接続または開放する回路である。ゲート回路50は、3ステイトバッファゲートで構成されており、比較回路40からの照合一致信号160をコントロール信号として用いている。照合一致信号160がセットされていれば、3ステイトバッファゲートは入出力信号(102,103,104,105,106)を論理的に接続状態にする。照合一致信号160がセットされていないければ、3ステイトバッファゲートは入出力信号(102,103,104,105,106)を論理的に開放状態にする。

【0018】次に、上記構成に基づいて動作を説明する。図2を参照すると、ホスト装置側からデータバス102の下位4ビット(D₀～D₃)を使用して、10進4桁の数

値データが、図2に示されるように、AからDの順番に送られてくる。ここで、本実施例では、Aは千位の数値、Bは百位の数値、Cは十位の数値、Dは一位の数値を表している。また、ホスト装置側からは常時BCK信号106が送られてくる。そこで、ホスト装置側で暗証番号がセットされたときに送出される暗証番号データ100と共にBCE信号107が送られてくるようになっている。BCK信号106とBCE信号107は、共にANDゲート15に入力される。BCE信号107が“H”レベルのとき、BCK信号106がANDゲート15を通過する。このANDゲート15の出力信号は、クロック信号108としてシフトレジスタ20を構成する各FFに供給される。シフトレジスタ20は、送られてくる暗証番号データ100をクロック信号108に同期して順次読み込む。シフトレジスタ20に読込まれた暗証番号データは、各FFの出力から比較回路40の一方の入力に供給される。比較回路40の他方の入力にはICメモリカード毎に設定されている暗証番号(153,152,151,150)が入力されており、比較回路40において照合がとられる。ホスト装置側からICメモリカードの暗証番号(153,152,151,150)と異なるデータが送られてきたときは、照合不一致となり照合一致信号160は出力されない。したがって、ゲート回路50は、入出力信号(102,103,104,105,106)を論理的に開放状態にするため、ホスト装置側からのアクセスによってICメモリカード内の半導体メモリがアクセスされることはない。したがって、ICメモリカード内の半導体メモリに格納されているデータは、盗用・改変から保護される。ホスト装置側から暗証番号(153,152,151,150)と同じデータが送られてきたときは、照合一致によりゲート回路50は論理的に接続状態となり、ICメモリカードとホスト装置側とは正常に情報の授受が可能である。

【0019】次に、本発明の第二実施例を、図を参照して説明する。図3は、ICメモリカードの平面図を(A)で表し、C矢印方向から見た側面図を(B)で表した図である。図4は鍵の平面図を(A)で表し、側面図を(B)で表した図である。図5は、ICメモリカードに所定の鍵を挿入した状態での概略構成を示すブロック図である。

【0020】図3を参照すると、図3(A)のICメモリカード400のホスト装置への挿入方向には、入出力部のコネクタ401が配設されている。また、凹部402は、後述の鍵500を挿入する穿孔部位置を示す。図3(B)を参照すると、ICメモリカード400の上述のC矢印方向には、凹部402に穿孔部403が設けられており、穿孔部403の両側面には、それぞれバネ状の弾力性を持つ複数の接触子404が配設されている。

【0021】図4を参照すると、図4(A)の鍵500には、本実施例では、両側面に電氣的に導体の接触面501a,501bが配設されている。接触面501a,501bは互いに導通を有するように導体で接続されている。この接触面501a,501bの導通を図るためには互いを結ぶ導体は、鍵

の絶縁体中にモールドされていてもよく、あるいはプリント印刷配線されていてもよい。凹部502は、鍵の脱落防止のために設けてあり、ICメモリカード400側に設けられた不図示の凸部に掛止させるためである。凹部503は、鍵の逆挿入防止のために設けられている。鍵の手前部504は、鍵の着脱用の把手であり、把手504の凹部505は、着脱時の引っ掛け用に設けられている。図4(B)は鍵の側面を表した図であり、各部の詳細は上記の通りである。

10 【0022】図5を参照すると、メモリプロテクタ11は、接触面501a,501b有する鍵500と、鍵500用の穿孔部403に設けられた接触子404と、ICメモリカード毎に異なる特定の接触子404からは、制御信号160がゲート回路50に接続される構成になっている。接触子404のうち、許可信号161はICメモリカード毎に異なる特定の接触子404(許可信号161が接続された接触子以外の接触子)に接続されている。接触子404のうち、上記信号160,161の接続された接触子以外の接触子はすべて禁止信号Xを接続している。すなわち、許可信号を“H”レベルとすれば、禁止信号Xは“L”レベルとなる。このとき、異なった鍵が挿入された場合および鍵が挿入されない状態において、制御信号160が開放状態となるのを防止するため、制御信号線は抵抗器506を介して接地(“L”レベル)されている。ゲート回路50の構成および入出力信号は、第一実施例の場合と同じでよい。

20 【0023】以上の構成に基づいて本実施例の動作を説明する。操作者は、ICメモリカード400をホスト装置に挿入した後、鍵500をICメモリカード400の穿孔部403に挿入する。図5に示すように、信号線161,160の接続された接触子と鍵500の接触面501a,501bとが接触すれば、制御信号160は“H”レベルとなり、ゲート回路50は論理的に接続状態となる。このときは、ホスト装置側とICメモリカードとは情報の授受が可能となる。今、鍵500とは異なる接触面配置の鍵をICメモリカード400の穿孔部403に挿入したとすると、制御信号160は禁止状態(“L”レベル)となる。このとき、ゲート回路50は論理的に開放状態となり、ホスト装置側からのアクセスによってICメモリカード内の半導体メモリがアクセスされることはない。したがって、ICメモリカード内の半導体メモリに格納されているデータは、盗用・改変から保護される。

30 【0024】なお、上記第二実施例において、ICメモリカード400の穿孔部403の接触子の配置は側面に限るものではなく上面や下面にも配置してよい。また、接触子の数をn個とすると、鍵の種類は、 $2 \cdot (n-1)!$ 種類となる。

40 【0025】また、上記実施例において、ゲート回路50で論理的に接続・開放する入出力信号はデータ授受に必要な信号に限ってもよい。この方がゲート回路50の規模が小さくて済む。

【0026】

【発明の効果】このように本発明によれば、ICメモリカード毎に固有の暗証番号あるいは固有の鍵を有するので、第三者によるICメモリカード内の半導体メモリに格納されたデータの盗用・改変を防止でき、データの保護及び機密防止が図れるという効果がある。

【図面の簡単な説明】

【図1】本発明のICメモリカードのメモリプロテクタを実現する第一実施例の概略構成を示すブロック図である。

【図2】同実施例において、ホスト装置側から入力される暗証番号を読み込むタイミングチャートである。

【図3】本発明のICメモリカードのメモリプロテクタを実現する第二実施例のICメモリカード本体の平面図(A)および側面図(B)の例を表す図である。

【図4】同実施例における鍵の平面図(A)および側面図(B)の例を表す図である。

*【図5】同実施例におけるメモリプロテクタを実現する概略構成を示すブロック図である。

【符号の説明】

10、11 メモリプロテクタ

15 ANDゲート

20 シフトレジスタ

30 番号設定回路

40 比較回路

50 ゲート回路

10 300 入出力部

400 ICメモリカード

403 穿孔部

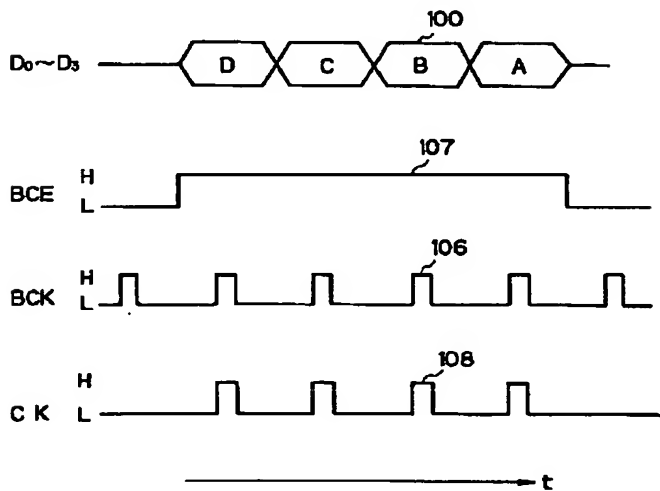
404 接触子

500 鍵

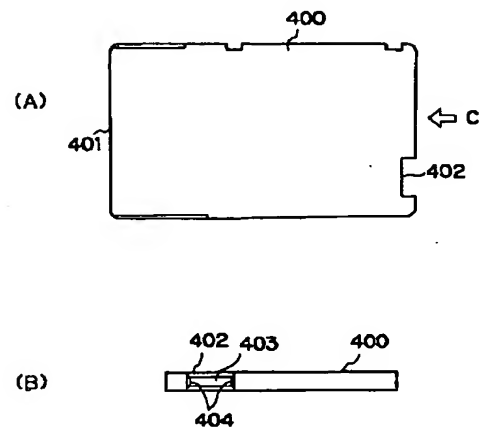
501a、501b 接触面

506 抵抗器

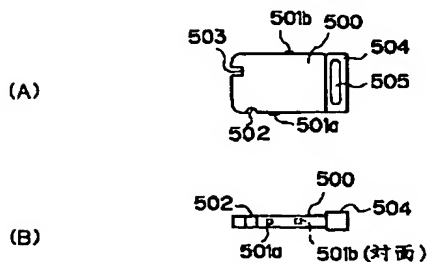
【図2】



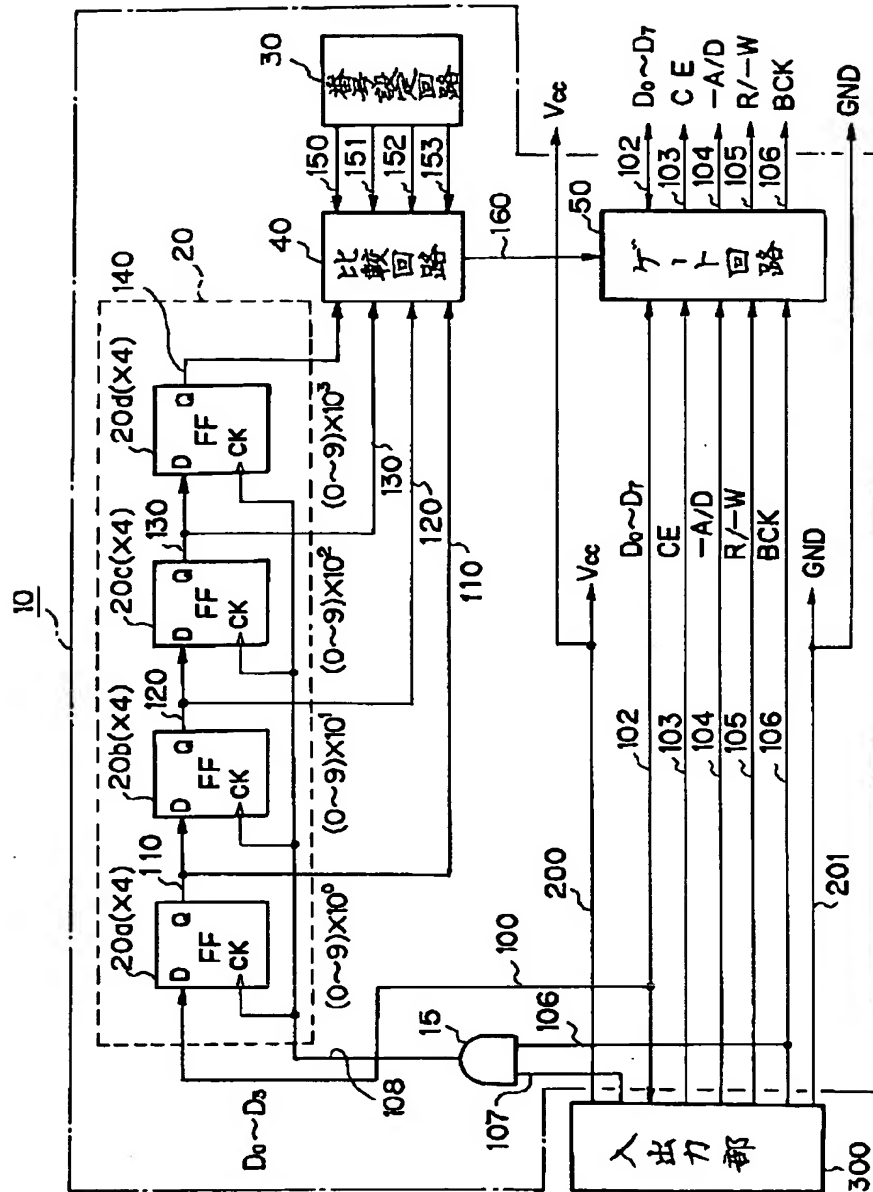
【図3】



【図4】



【図1】



【図5】

